

EVROPSKÁ UNIE
Evropské strukturální a investiční fondy
Operační program Výzkum, vývoj a vzdělávání

MINISTERSTVO ŠKOLSTVÍ, MLÁDEŽE A TĚLOVÝCHOVY

ESF II - projekt Západočeské univerzity v Plzni

registrační číslo CZ.02.2.69/0.0/0.0/18_056/0013239

Výukové texty

pro předmět

Analogové elektronické systémy

(KEI/AELS)

na téma

Převodníky A/D, D/A

Autor: Ing. Václav Koucký, CSc.

EVROPSKÁ UNIE
Evropské strukturální a investiční fondy
Operační program Výzkum, vývoj a vzdělávání

MINISTERSTVO ŠKOLSTVÍ, MLÁDEŽE A TĚLOVÝCHOVY

ESF II - projekt Západočeské univerzity v Plzni

registrační číslo CZ.02.2.69/0.0/0.0/18_056/0013239

12. Převodníky A/D, D/A

Pokroky v oblasti výroby obvodů s vysokou hustotou integrace umožnily zásadní inovace v oblasti měřící a řídící techniky. A/D převodníky jsou součástí jak řídících systémů tak i tzv. inteligentních senzorů, napěťové nebo proudové analogové výstupy jsou součástí řídících systémů. V průběhu krátké historie vývoje monolitických převodníků se současným standardem pro průmyslové aplikace stal převodník s postupnou aproximací s délkou slova 12 bitů, s jediným napájecím napětím zpravidla 5 V, vnitřním zdrojem referenčního napětí (při 5 V nap. napětí zpravidla 4.096 V) s příkonem řádu jednotek mW.

12.1. Kódování

Pro číslicovou interpretaci analogové veličiny se v případě unipolárních vstupů a výstupů A/D i D/A převodníků používá nejčastěji přímý binární kód, je-li vstup nebo výstup bipolární, používá se dvojkový doplněk.

12.2. A/D převodníky

A/D převodníky převádějí vstupní analogový signál U_A na číslicový signál. Výsledkem převodu je binární kód, který udává, kolikrát je v převáděné analogové veličině obsažen základní kvantovací krok. Základní kvantovací krok je dán vztahem

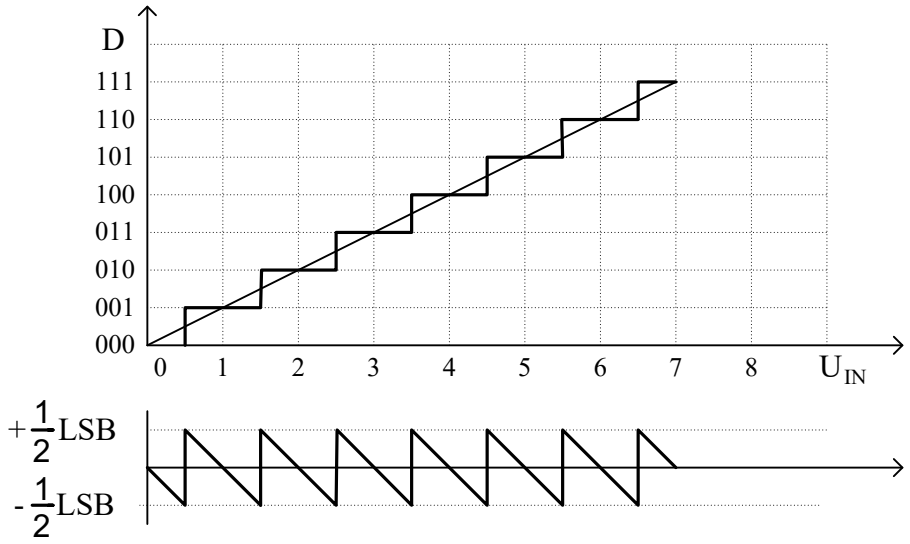
$$Q = \frac{U_R}{2^n} \qquad (12.1)$$

kde U_R je referenční napětí převodníku (zpravidla také rozsah vstupní veličiny převodníku), n je počet bitů převodníku. Převodní funkci A/D převodníku můžeme vyjádřit vztahem

$$\text{D = celá část } \left[2^n \cdot \frac{U_A}{U_{REF}}\right] \qquad \text{kde D je číslo ve tvaru} \qquad (12.2)$$

$$D = (a_{n-1} \cdot 2^{n-1} + a_{n-2} \cdot 2^{n-2} + \cdot \cdot \cdot + a_1 \cdot 2^1 + a_0 \cdot 2^0) \qquad (12.3)$$

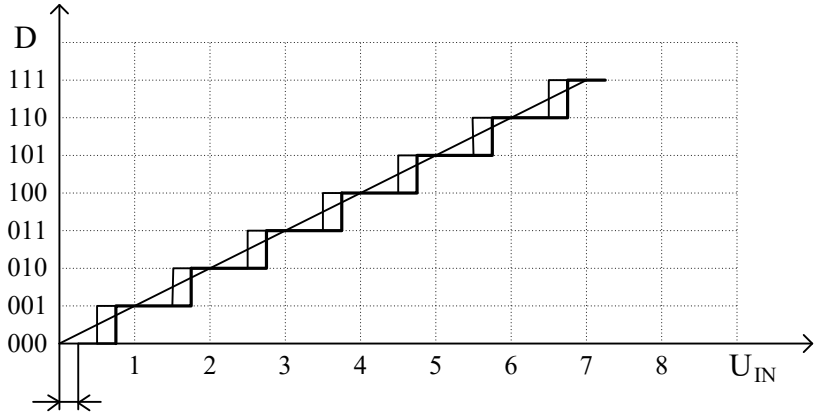
kde D je číslicová hodnota převedeného napětí U_A, n je počet bitů převodníku. Koeficient a_0 označujeme jako LSB (Least Significant Bit) tj. bit s nejnižší vahou, koeficient a_{n-1} označujeme jako MSB (Most Significant Bit) tj. jako bit s nejvyšší vahou. V případě kódování BCD se dekáda s nejnižší vahou označuje jako LSD (Least Significant Digit) a dekáda s nejvyšší vahou jako MSD (Most Significant Digit). Převodní charakteristika A/D převodníku je na obrázku 12.1.



Obr. 12.1 a) Převodní charakteristika A/D převodníku, b) kvantizační šum

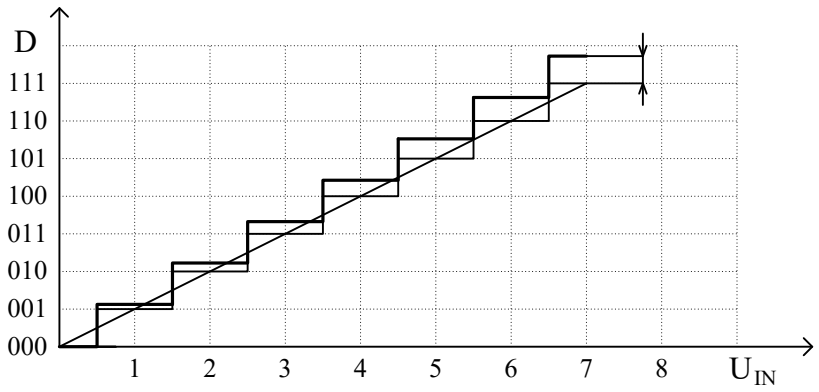
Na převodní charakteristice reálného A/D převodníku lze v porovnání s charakteristikou ideální indikovat chybu nuly, chybu měřítka, integrální a diferenciální nelinearitu a chybějící kód.

Chyba nuly (ofset) viz. obr. 12.2. je posun reálné charakteristiky A/D převodníku vzhledem k nule. U ideálního převodníku dochází ke změně v polovině kvantizační úrovně. Vyjadřuje se v počtu LSB.



Obr. 12.2. Chyba nuly A/D převodníku

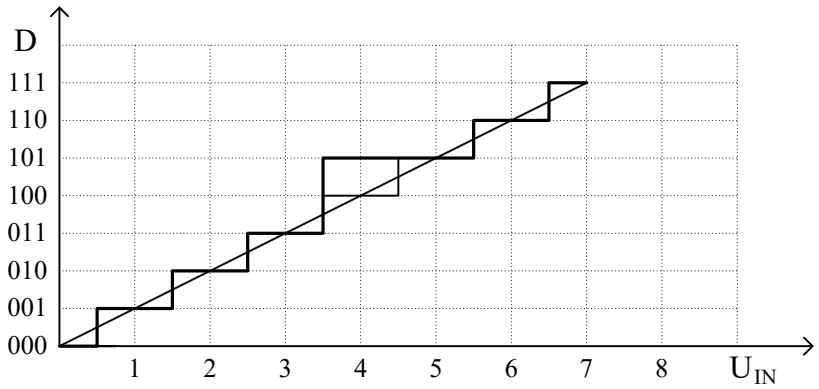
Chyba zisku je rozdíl mezi skutečným rozsahem reálného A/D převodníku a celkovým rozsahem ideálního A/D převodníku viz. obr. 12.3. Vyjadřuje se v počtu LSB.



Obr. 12.3. Chyba zisku A/D převodníku

Integrální nelinearita je dána maximální odchylkou výstupního kódu reálného A/D převodníku od ideální hodnoty kódu v celém rozsahu převodníku Vyjadřuje se v LSB.

Diferenciální nelinearita viz. obr. 12.4. je odchylka mezi dvěma sousedními kódy A/D převodníku, která je větší než 1 LSB. S diferenciální nelinearitou souvisí pojem **nemonotónnost převodu** a **chybějící kód** (missing code).

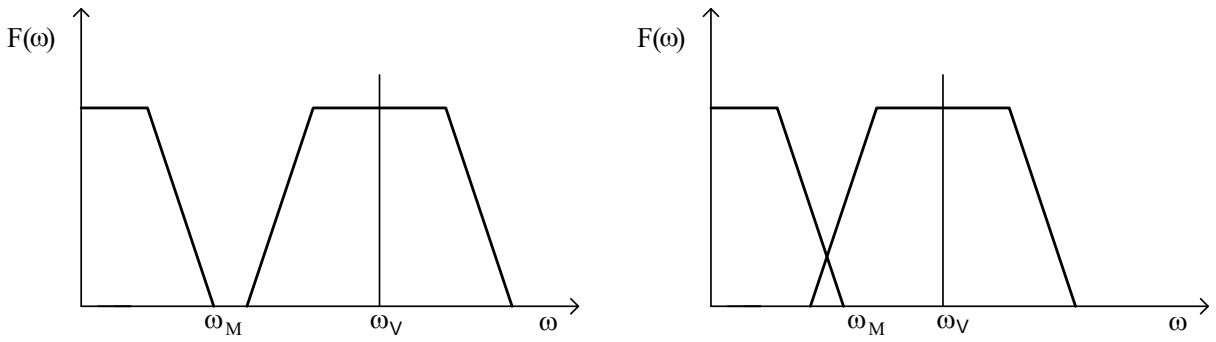


Obr. 12.4. Diferenciální nelinearita

12.2.1. Vzorkování analogového signálu

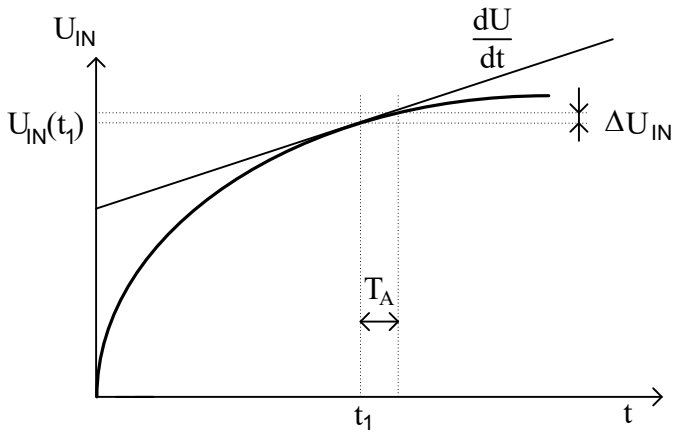
Vlastní převod A/D začíná vzorkováním analogového signálu. Signál po vzorkování je tvořen impulzy jejichž amplituda je rovna hodnotě signálu v okamžicích příchodu vzorkovacích impulzů. Kmitočtové spektrum signálu po rovnoměrném vzorkování s konstantní periodou vzorkování T_V je tvořeno kmitočtovým spektrem původního signálu a kmitočtovými spektry symetricky rozloženými kolem celistvých násobků vzorkovacího kmitočtu. Pro omezené kmitočtové spektrum s mezním kmitočtem ω_M je nutno podle Shannon-Kotelnikova teorému volit vzorkovací kmitočet ω_V minimálně dvojnásobně větší, než je mezní mitočet ω_M. Kmitočet vzorkování ω_V menší než $2 \cdot \omega_M$ (podvzorkování - undersampling) způsobí překrytí spekter a vznik tzv. aliasing efektu. Aliasing efekt znamená, že se ve spektru navzorkovaného signálu

objevují spektrální složky s kmitočty, které v původním analogovém signálu neexitují. Vzorkujeme-li např. signál se sinusovým průběhem o kmitočtu ω_M vzorkovaví frekvencí $\omega_M < \omega_V < 2\cdot \omega_M$, získáme navzorkovaný signál se spektrální složkou $\omega_A = \omega_V - \omega_M$. V praxi se vzniku aliasingu bráníme použitím filtru, který omezí spektrum vzorkovaného signálu na hodnotu menší než $\omega_V/2$ a použitím vzorkovacího kmitočtu mnohonásobně vyššího než ω_M (tzv. oversampling). Spektrum signálu vzorkovaného kmitočtem $\omega_V > 2\cdot \omega_M$ je na obrázku 12.5 a) , spektrum signálu vzorkovaného kmitočtem $\omega_V < 2\cdot \omega_M$ je na obrázku 12.5 b).



Obr. 12.5 a) spektrum signálu při $\omega_V > 2\cdot \omega_M$ b) spektrum při $\omega_V < 2\cdot \omega_M$

Odebrání vzorku z původního analogového signálu probíhá po dobu odběru vzorku T_A. Za dobu odběru vzorku T_A dojde ke změně vzorkovaného signálu o hodnotu ΔU_{IN}. Dobu odběru vzorku ilustruje obrázek 12.6. Chyba, která takto vznikne, se označuje jako aperture error. Nemá-li tato chyba pro vzorkovaný signál se sinusovým průběhem o amplitudě rovné rozsahu A/D převodníku překročit rozlišovací schopnost tohoto převodníku, musí vzorkovaný kmitočet splňovat podmínku $\omega_M < \frac{1}{2^{n-1}\cdot T_A}$.



Obr. 12.6. Doba odběru vzorku

12.2.2. Kvantizační šum, efektivní počet bitů A/D převodníku

Při kvantování vzorků vstupního signálu dochází vlivem konečné rozlišitelnosti převodníku ke kvantizační chybě. Při vzorkování spojitého signálu dochází ke vzniku kvantizačního šumu obr. 12.1 b). Pro efektivní hodnotu rozkmitu kvantizačního šumu ideálního n-bitového A/D převodníku lze odvodit vztah

$$U_{NEF} = \sqrt{\frac{1}{T} \cdot \int_0^T u^2(t)dt} = \sqrt{\frac{1}{T} \cdot \int_0^T \left(\frac{-2 \cdot \frac{Q}{2}}{T} \cdot t + \frac{Q}{2}\right) dt} = \frac{Q}{2 \cdot \sqrt{3}} \qquad (12.4)$$

Po dosazení ze vztahu 2.1 je efektivní hodnota kvantizačního šumu dána vztahem

$$U_{NEF} = \frac{U_R}{2^n \cdot \sqrt{12}} \qquad (12.5)$$

Pro sinusový signál pak lze vyjádřit poměr odstup signál / šum ideálního A/D převodníku označovaný jako SNR (Signal to Noise Ratio) vztahem

$$SNR = 20\ log \cdot \left(\frac{U_{SINEF}}{U_{NEF}}\right) = 6.02 \cdot n + 1.76 \qquad (12.6)$$

Vedle kvantizačního šumu, který vzniká i u ideálního A/D převodníku, vznikají u reálného A/D převodníku další šumová napětí způsobená jeho činností. Při vyšších frekvencích vstupního signálu se uplatňuje pokles amplitudové kmitočtové charakteristiky převodníku. To způsobuje, že reálná rozlišovací schopnost převodníku je nižší, než kolik odpovídá rozlišení danému počtem bitů. Proto se pro reálný A/D převodník zavádí pojem efektivní počet bitů n_{EF}, definovaný pro harmonický průběh vstupního signálu s kmitočtem vyšším než je šířka frekvenčního pásma převodníku. Pro efektivní počet bitů n_{EF} platí vztah

$$n_{EF} = n - log_2 \frac{U_{ERREF}}{U_{NEF}} \qquad (12.7)$$

kde U_{ERREF} je velikost efektivní hodnoty odchylky průběhu reálných vzorků harmonického signálu (např. v paměti počítače) od vypočítaného ideálního průběhu.

Jiná metoda, jak vyjádřit efektivní počet bitů, je založena na dosazení hodnoty SINAD (Signal-to-noise-and-distortion ratio) do vztahu 12.6 na místo hodnoty SNR. Efektivní počet bitů (Effective Number of Bits - ENOB) pak formálně lze vyjádřit úpravou vztahu 12.6 jako

$$ENOB = \frac{SINAD - 1.76}{6.02} \qquad (12.8)$$

kde

$$SINAD = 20 \cdot log \cdot \left(\frac{U_{sinef}}{U_{nef} + U_{thd}}\right) = 10 \cdot log \cdot \left(\frac{P_{sin}}{P_n + P_{thd}}\right) \qquad (12.9)$$

kde U_{sinef} je efektivní hodnota nezkresleného harmonického signálu, U_{nef} je efektivní hodnota šumu, U_{thd} je deformační napětí, P_{sin} je výkon nezkresleného harmonického signálu, P_n je výkon šumu, P_{thd} je výkon deformačního napětí. Uvedený vztah vychází z předpokladu, že vstupní signál má rozkmit rovnající se vstupnímu rozsahu A/D převodníku. Pro nižší rozkmit vstupního signálu se při výpočtu ENOB zavádí korekční faktor.

Někteří výrobci A/D převodníků uvádějí v katalogových listech jako hodnotu SNR (vztah 12.6) číselnou hodnotu parametru SINAD. Počet bitů n ve vztahu 12.6 pak označují jako ENOB. I zavedení pojmu SINAD se u některých výrobců liší. Někteří výrobci vyjadřují SINAD vztahem

$$SINAD = 10 \log \cdot \left(\frac{P_{sin} + P_n + P_{thd}}{P_n + P_{thd}}\right) \qquad (12.10)$$

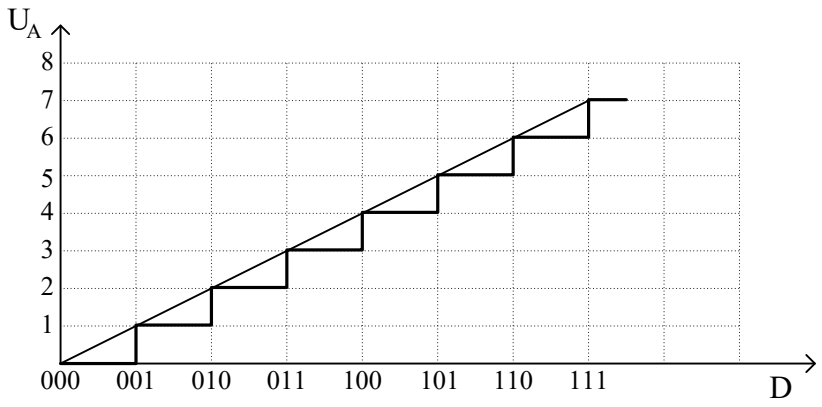
Toto vyjádření zvětšuje hodnotu argumentu logaritmu oproti předchozímu vztahu. Hodnota SINAD pak vyjde u stejného převodníku vyšší a následně je lepší (vyšší) i hodnota ENOB. To je užitečné vědět při porovnávání parametrů srovnatelných součástek různých výrobců.

12.3. D/A převodníky

Číslicově-analogové převodníky převádějí číslicový signál zpravidla ve formě binárně kódovaného čísla na proud nebo napětí. Převodní funkci D/A převodníku můžeme vyjádřit vztahem

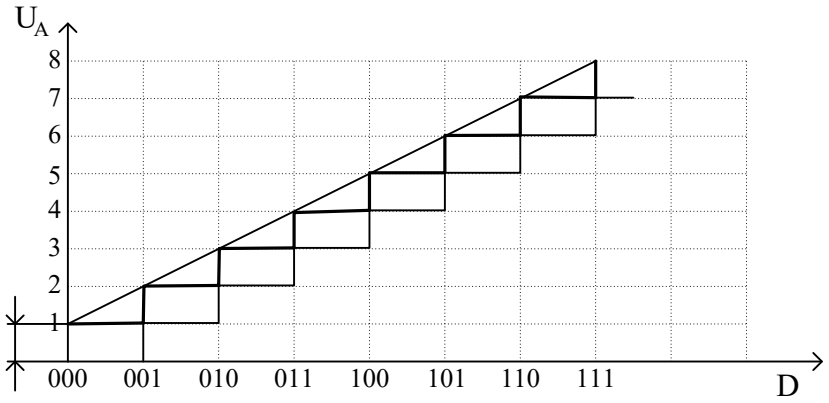
$$U_A = U_{REF} \cdot (a_{n-1} \cdot 2^{-1} + a_{n-2} \cdot 2^{-2} + \cdots + a_0 \cdot 2^{-n})$$

kde U_A je výstupní napětí převodníku, U_{REF} je referenční napětí, n je počet bitů převodníku. Počtem bitů vstupního slova n je dána rozlišovací schopnost převodníku. Převodní charakteristika odpovídající převodní funkci je na obrázku 12.7. Převodní charakteristika reálného D/A převodníku je zatížena chybou nuly, chybou zisku, integrální a diferenciální nelinearitou a nemonotónností převodu.



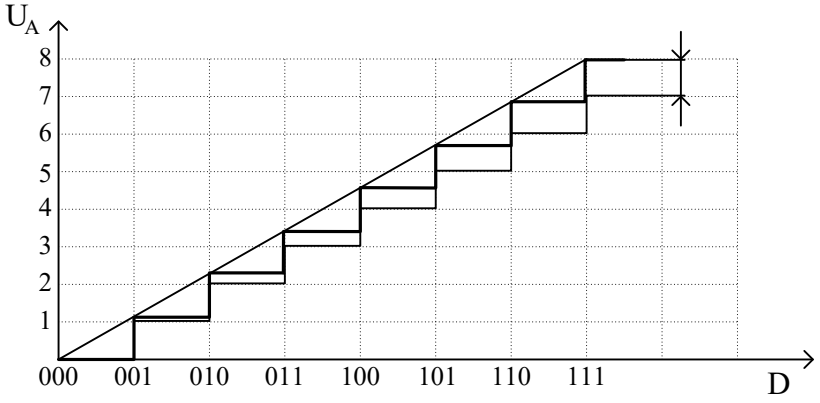
Obr. 12.7. Převodní charakteristika D/A převodníku

Chyba nuly (ofset) je posun reálné charakteristiky vzhledem k nule resp. výstupní napětí nebo proud při vstupním číslicovém kódu odpovídajícím nule viz. obr. 12.8. Vyjadřuje se v LSB.



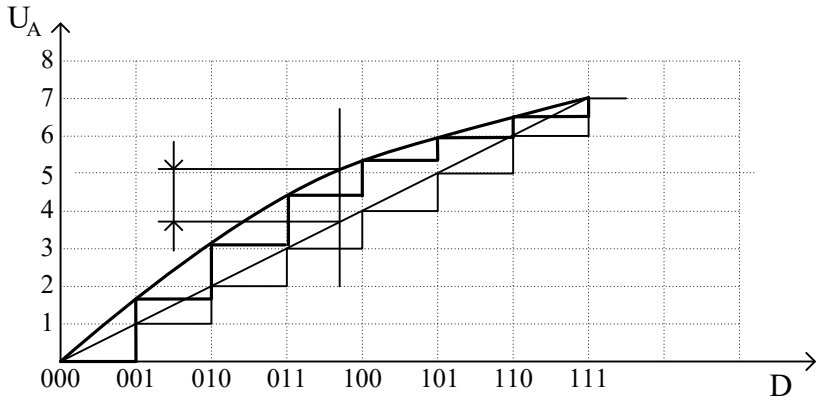
Obr. 12.8. Chyba nuly D/A převodníku

Chyba zisku je rozdíl mezi rozsahem reálného D/A převodníku a celkovým rozsahem ideálního D/A převodníku viz. obr. 12.9.



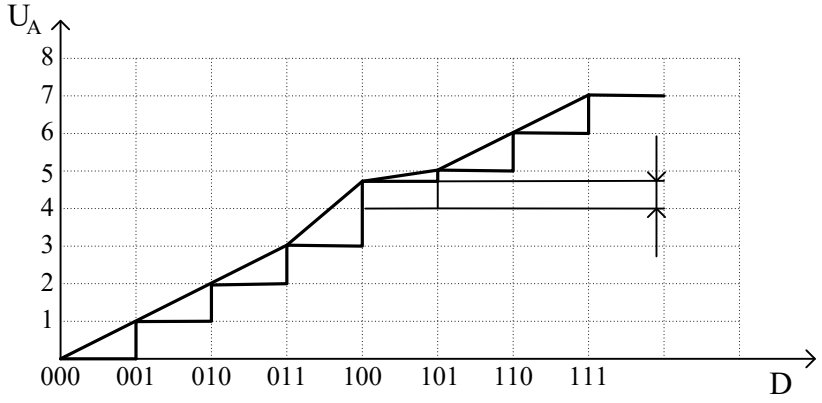
Obr. 12.9. Chyba zisku D/A převodníku

Integrální nelinearita je dána maximální odchylkou výstupního signálu reálného převodníku od ideální hodnoty v celém rozsahu převodníku viz. obr. 12.10. Vyjadřuje se v LSB.



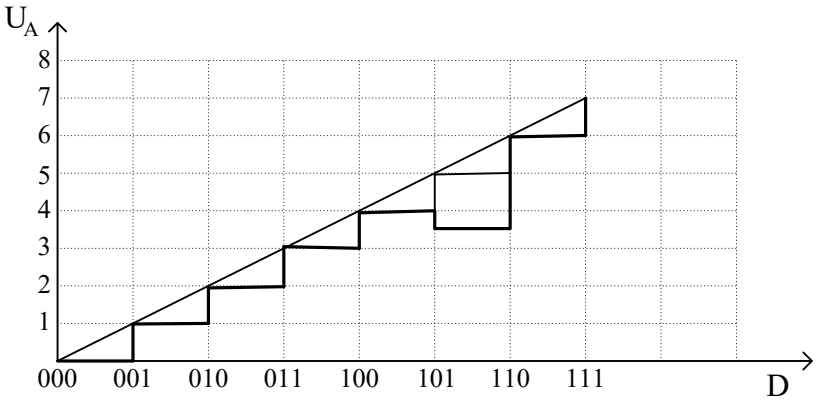
Obr. 12.10. Integrální nelinearita D/A převodníku

Diferenciální nelinearita je odchylka skutečné velikosti změny analogové veličiny při přechodu mezi dvěma sousedními číslicovými hodnotami a ideální velikosti této změny viz. obr. 12.11.



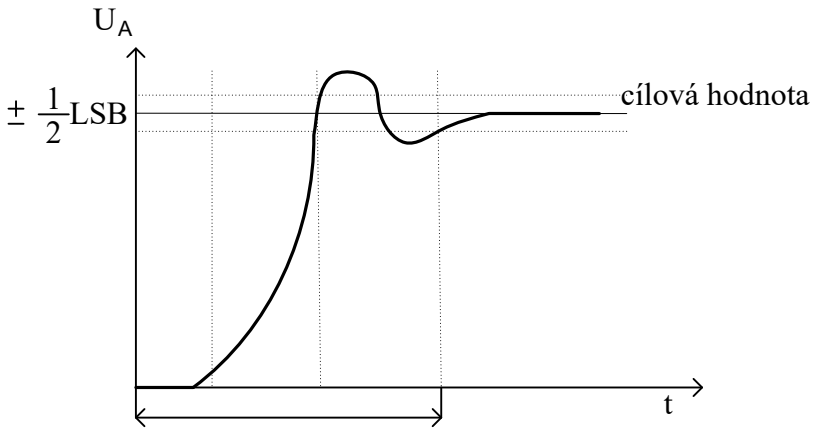
Obr. 12.11. Diferenciální nelinearita D/A převodníku

Nemonotónnost převodu je chyba, při které při rostoucím nebo klesajícím vstupním signálu (např. inkrementací nebo dekrementací výstupního slova) dojde k dočasnému poklesu nebo nárůstu výstupního analogového napětí. Tato chyba nastává obvykle při přechodu z kombinace $2^k–1$ na kombinaci 2^k a naopak (kde $1< k < n$). Nemonotónnost je znázorněna na obr. 12.12.



Obr. 12.12. Nemonotónnost převodu

Z dynamických parametrů D/A převodníků je důležitá **doba ustálení**. Je to celková doba od změny vstupního kódu do ustálení analogového výstupu s přesností na +/– 1/2 LSB viz. obr. 12.13.



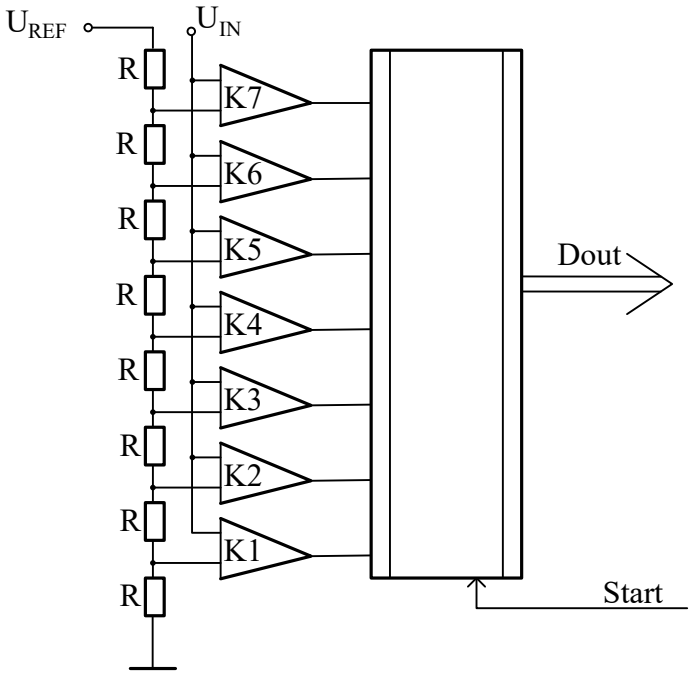
Obr. 12.13. Doba ustálení

12.3. Principy převodu A/D

Principů A/D převodu je několik. Lze je rozdělit na přímé a nepřímé. Mezi převodníky založené na přímých metodách převodu patří paralelní převodník, převodník s postupnou aproximací, sledovací převodník, integrační převodník a převodník Σ-Δ. Nepřímé metody vycházejí z převodu napětí na kmitočet a v následném čítání pulzů v čase.

12.3.1. Paralelní A/D převodník

Paralelní převod je nejjednodušší a nejrychlejší. Paralelní tříbitový A/D převodník (Flash Converter) je na obrázku 12.14. Vstupní analogové napětí je u n-bitového paralelního převodníku přivedeno současně na $2^n - 1$ vstupů komparátorů. Na těchto komparátorech se vstupní napětí porovnává se zlomkem referenčního



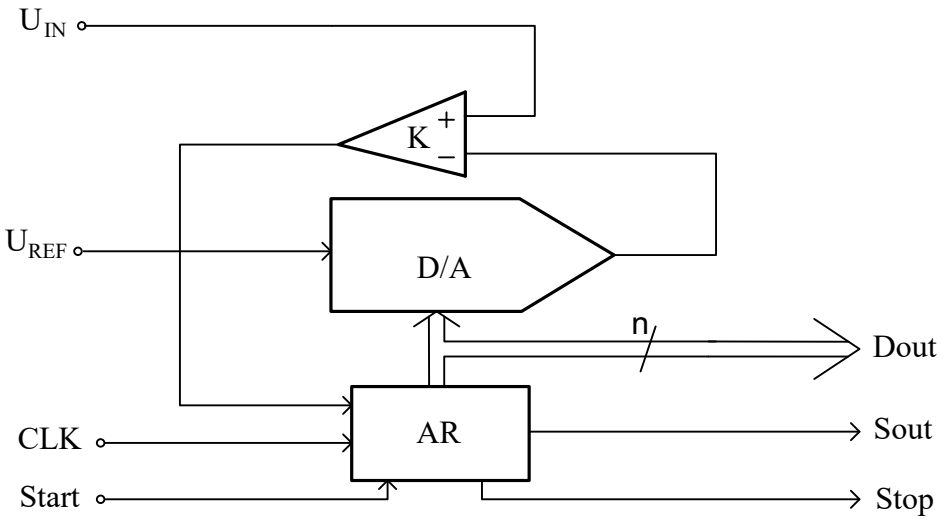
Obr. 12.14. Paralelní A/D převodník

napětí, které je vytvořeno odporovým děličem s řetězce 2^n rezistorů shodné velikosti. Na každém rezistoru je úbytek napětí o velikosti kvantizační úrovně. Komparátory, u kterých je vstupní napětí vyšší než zlomek referenčního, mají na výstupu vysokou logickou úroveň (log. 1), ostatní komparátory pak mají na výstupu nízkou úroveň (log. 0). Počet výstupů s úrovní log. 1 odpovídá počtu kvantizačních úrovní obsažených ve vstupním napětí. Výstupy komparátorů jsou přivedeny do kombinačních logických obvodů, které jsou zpravidla vybaveny paralelními registry typu latch na vstupu i na výstupu. Logické obvody provedou překódování vektoru $2^n - 1$ paralelních výstupů komparátorů na vektor n paralelních výstupů převodníků. Princip paralelního převodu je velmi rychlý již v popsaném základním provedení. V praxi se k dalšímu zrychlení převodu používá tzv. struktura pipe-line. V popsaném procesu převodu trvá dobu t_1 než se ustálí logické úrovně na výstupech komparátorů a následně dobu t_2 překódování výstupů komparátorů a ustálení výstupů logických obvodů. Celková doba převodu t musí být proto větší než součet dob t_1 a t_2. Struktura pipe-line spočívá v současném (paralelním) provádění komparace aktuálního převodu a překódování hodnot předchozí komparace. Jednotlivé vrstvy pipe-line struktury jsou odděleny paralelními registry typu latch. Uvedená struktura umožňuje teoreticky až poloviční dobu převodu resp. dvojnásobnou frekvenci převodů. Cenou za toto zrychlení je, že po startu každého převodu jsou na výstupech data převodu předchozího. Paralelní

převodníky se vyrábějí monolitickou technologií se šířkou slova 6, 8, 10 a 12 bitů. Vzorkovací frekvence je běžně v desítkách MHz, speciální typy (např. MAX 104) mají vzorkovací frekvenci až 1 Ghz. Využívají se zejména pro číslicové zpracování obrazu, v radarech a v digitálních osciloskopech.

12.3.2. A/D převodník s postupnou aproximací

Převodník s postupnou aproximací (Successive Approximation Converter) s šířkou slova n bitů realizuje převod vstupního analogového napětí na datové slovo postupně zpravidla v n+1 krocích. Struktura 4-bitového převodníku s postupnou aproximací je znázorněna na obr. 12. 15.

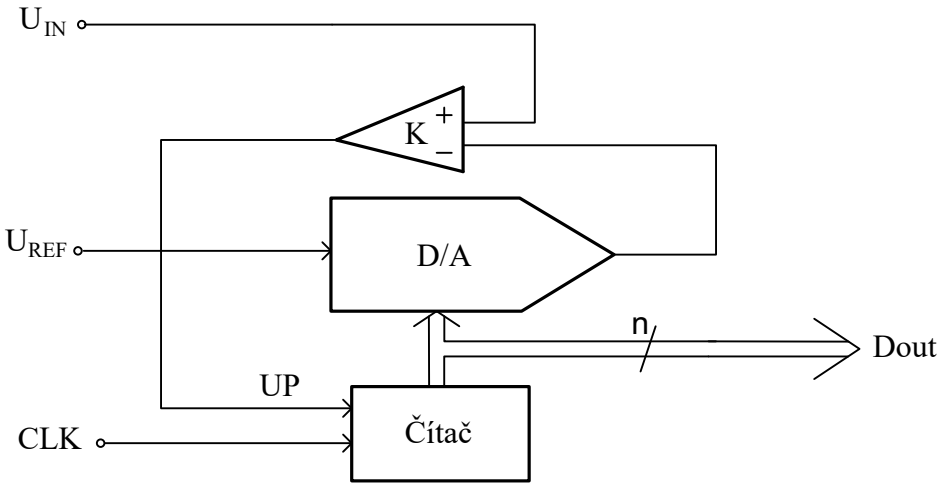


Obr. 12.15. Převodník A/D s postupnou aproximací

Převodník obsahuje vstupní komparátor, rychlý převodník D/A, aproximační registr případně generátor taktu. Vlastní převod začíná impulzem Start přivedeným na vstup aproximačního registru. Aproximační registr nastaví po první aktivní hraně synchronizačního pulzu, který následuje po startovacím impulzu na svých výstupech kombinaci odpovídající polovině rozsahu převodníku tj. log. 1 na pozici MSB. Na výstupu D/A převodníku se nastaví polovina referenčního napětí. Napětí na výstupu D/A převodníku se porovná se vstupním napětím pomocí vstupního komparátoru. Na výstupu komparátoru se nastaví log. 1, je-li vstupní napětí větší než napětí na výstupu D/A převodníku nebo log. 0, je-li vstupní napětí menší než napětí na výstupu D/A převodníku. Podle stavu komparátoru je výstup aproximačního registru v následujícím kroku buď potvrzen nebo korigován. V následujících n krocích je pak převod dokončen. Doba převodu je přímo úměrná šířce slova. Převodníky s postupnou aproximací se vyrábějí monolitickou technologii jako 8, 10, 12, 14, 16 a 18 bitové. Doba převodu se pohybuje typicky v desetinách až jednotkách mikrosekund.

12.3.3. Sledovací A/D převodník

Sledovací A/D převodník je na obrázku 12.16. Jeho základem je rychlý D/A převodník, reverzibilní čítač, komparátor a taktovací generátor.

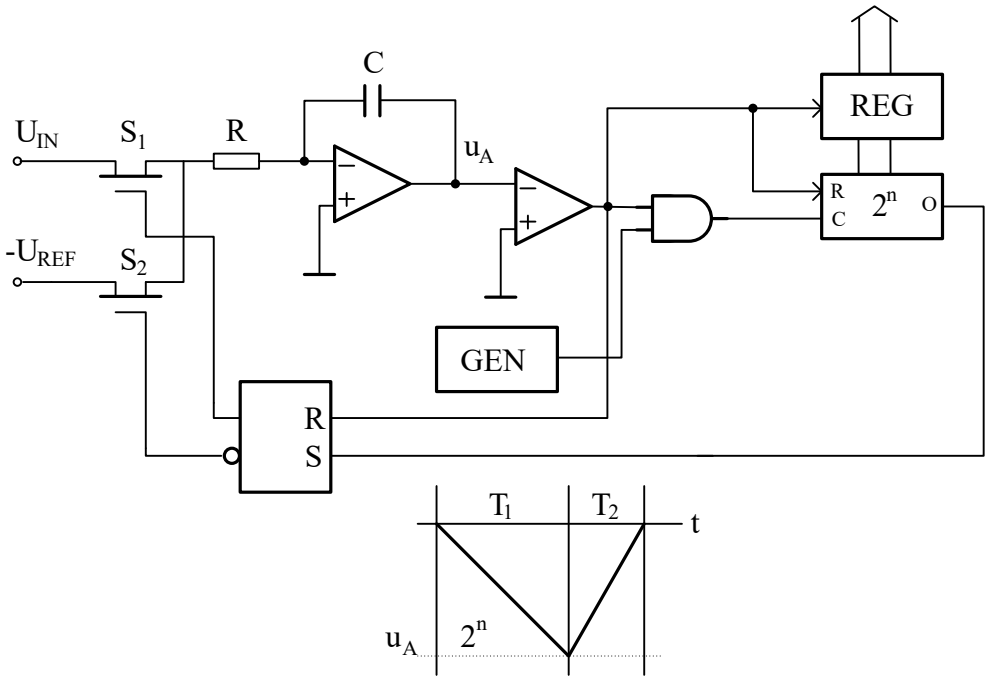


Obr. 12.16. Sledovací A/D převodník

Výstupy čítače jsou číslicovým vstupem D/A převodníku. Výstup D/A převodníku je přiveden na komparátor. Je-li vstupní napětí menší než je výstupní napětí D/A převodníku, je na výstupu komparátoru log. 0 a čítač je následující aktivní hranou signálu taktovacího generátoru dekrementován. Je-li vstupní napětí na komparátoru větší než je výstupní napětí D/A převodníku, je na výstupu komparátoru log. 1 a čítač je inkrementován. Metoda je dobře použitelná pro pomalu se měnící analogový vstup. Doba přeběhu výstupní číslicové hodnoty při maximální změně analogového vstupu trvá 2^n taktů. Sledovací převodník lze realizovat diskrétními součástkami. V integrované monolitické verzi se nevyrábí.

12.3.4. Integrační A/D převodník

Integrační A/D převodník je na obrázku 12.17. Někdy je tento převodník označován jako převodník s dvojitou integrací.



Obr. 12.17. Integrační A/D převodník

Analogově číslicový převod se uskutečňuje ve dvou fázích. V první fázi je sepnutý spínač S_1 a na vstup integrátoru je přivedeno kladné vstupní analogové napětí U_{IN}. Výstupní napětí integrátoru klesá od nuly do záporných hodnot. Strmost poklesu je úměrná velikosti vstupního napětí U_{IN}. Komparátor porovnávající záporné výstupní napětí integrátoru s nulovým napětím má na výstupu vysokou úroveň (log. 1) a impulzy generátoru tak procházejí součinovým hradlem na vstup čítače. Čítač modulo 2^n čítá impulzy generátoru od nuly až do stavu přetečení. Přetečení čítače nastane za pevný čas T_1 po spuštění převodu. Přetečení čítače je indikováno logickým výstupem, který způsobí překlopení klopného obvodu RS a tím rozepnutí spínače S_1 a sepnutí spínače S_2. Tím končí první a začíná druhá fáze převodu. Na vstupu integrátoru je sepnutím S_2 přivedeno záporné referenční napětí. Výstupní napětí integrátoru stoupá ze záporné hodnoty dosažené v první fázi převodu směrem k nulovému napětí. Komparátor má na svém výstupu stále vysokou úroveň (log. 1). Čítač, který po přetečení čítá opět od nuly (po dosažení stavu $2^n - 1$ následuje stav 0), počítá impulzy po dobu T_2, po kterou je napětí na výstupu integrátoru záporné. Potom co výstupní napětí integrátoru dosáhne nulové hodnoty, překlopí se výstup komparátoru do nízké úrovně (log. 0) a zablokuje tak čítání, přepíše stav čítače tj. počet impulzů napočítaný během druhé fáze převodu do výstupního registru a překlopí klopný obvod. Počet impulzů ve výstupním registru je úměrný, nebo přímo určuje velikost střední hodnoty vstupního napětí po dobu první fáze převodu. Po skončení druhé fáze převodu automaticky následuje první fází následující převod.

Je-li čítač použitý v obrázku 12. 17. binárně dekadický, je obsah výstupního registru přímo v BCD tvaru a je tedy přímo použitelný pro zobrazení např. v digitálních multimetrech. A/D převodník s dvojitou integrací je možno charakterizovat jako pomalý (počet převodů dosahuje řádu desítek za sekundu) a relativně levný. Počet bitů resp. rozlišovací schopnost je 10, 12, 14 a 16 bitů. Převodník se vyrábí monolitickou technologií s externím integračním kapacitorem a s několika externími prvky generátoru hodinových impulzů.

12.3.5. Σ-Δ A/D převodník

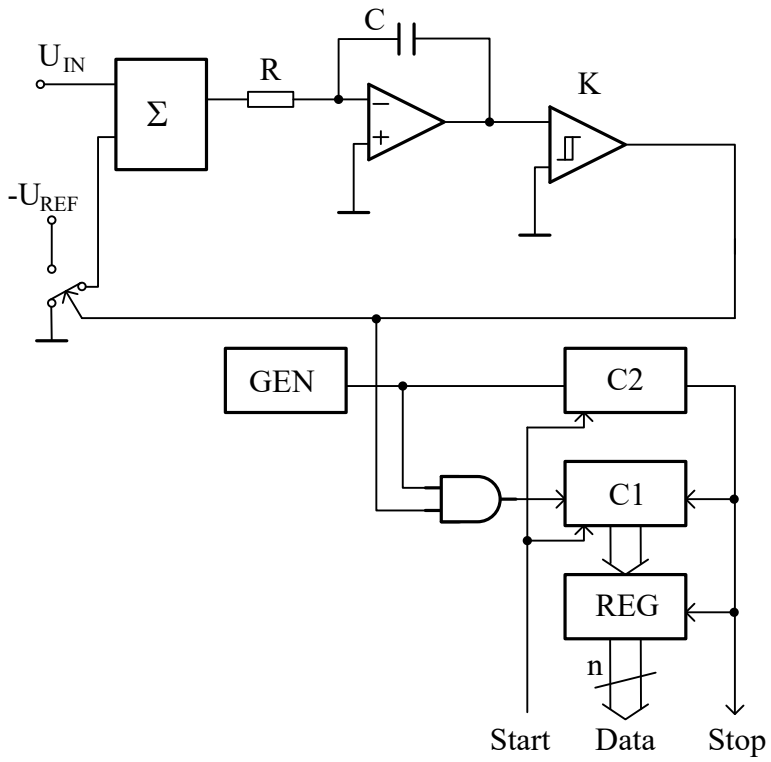
EVROPSKÁ UNIE
Evropské strukturální a investiční fondy
Operační program Výzkum, vývoj a vzdělávání

MINISTERSTVO ŠKOLSTVÍ, MLÁDEŽE A TĚLOVÝCHOVY

ESF II - projekt Západočeské univerzity v Plzni

registrační číslo CZ.02.2.69/0.0/0.0/18_056/0013239

Zjednodušené schéma ilustrující funkci unipolárního Σ-Δ A/D převodníku je na obrázku 12. 18. Převodník je tvořen tzv. Σ-Δ (sigma delta) smyčkou prvního řádu, čítačem a řídícími obvody. Σ-Δ smyčka se skládá ze sumačního obvodu, integrátoru, komparátoru a jednobitového D/A převodníku. Jednobitový unipolární D/A převodník je prakticky pouze řízeným přepínačem, který přepíná na výstup nulové nebo referenční napětí. Σ-Δ smyčka je ve své podstatě relaxačním generátorem. Vstupní napětí U_{IN} se v sumátoru sečítá s výstupem jednobitového D/A převodníku (tj. s nulou nebo záporným referenčním napětím $-U_{REF}$). Výsledek součtu je buď kladný (jde-li o součet $U_{IN} + 0$), nebo záporný (jde-li o součet $U_{IN} - U_{REF}$). Kladné nebo záporné napětí na výstupu sumátoru je následně integrováno. Výstupní napětí integrátoru se mění v rozsahu šířky hysterezní smyčky následujícího komparátoru. Dosáhne-li výstupní napětí integrátoru kladné komparační meze, překlopí se logický výstup komparátoru do vysoké úrovně (log. 1). Tím se napětí na vstupu sumátoru změní z hodnoty $-U_{REF}$ na nulové napětí. Výstupní napětí sumátoru je pak kladné, výstupní napětí integrátoru přebíhá od kladné komparační meze k záporné komparační mezi. Tam dojde opět k překlopení komparátoru, přepnutí referenčního napětí, změně velikosti a polarity napětí na vstupu integrátoru. Děj se dále periodicky opakuje. Logický průběh na výstupu komparátoru je modulací Σ-Δ modulovaný vstupním napětím U_{IN}. Ve [ ] je výstupní signál komparátoru označen jako impulzně šířkově modulovaný (PWM). Proces modulace probíhá kontinuálně.



Obr. 12.18. Σ-Δ A/D převodník

Po startu A/D převodu dojde k vynulování čítačů C1 a C2. Nízká úroveň (log. 0) na výstupu komparátoru blokuje čítání hodinových pulzů čítačem C1, vysoká úroveň naopak jejich čítání (integraci) umožňuje. Čítač C2 určuje dobu převodu. Jeho přetečení ukončí převod a hodnota načítaná v čítači C1 během doby převodu se přesune jako výsledek do výstupního registru.

Σ-Δ A/D převodník je možno charakterizovat jako pomalý (počet převodů dosahuje řádu desítek za sekundu) a relativně levný. Počet bitů resp. rozlišovací schopnost je 14, 16, 18 i 20 bitů. Výrobci však do šířky slova zpravidla zahrnují i znaménkový bit (je-li převodník bipolární) a bit indikující přetečení. Převodníky Σ-Δ se vyrábí monolitickou technologií. Kontinuální sledování vstupního napětí U_{IN}, bezprostřední převod do tvaru Σ-Δ modulovaného signálu a následná integrace čítačem C1 simulují vysokou vzorkovací frekvenci převodníku (tzv. oversampling).

Díky tomu Σ-Δ A/D převodníky nepotřebují tzv. antialiasig filtry na vstupu. Frekvenci generátoru hodin lze navíc praxi programově měnit a měnit tak míru převzorkování.

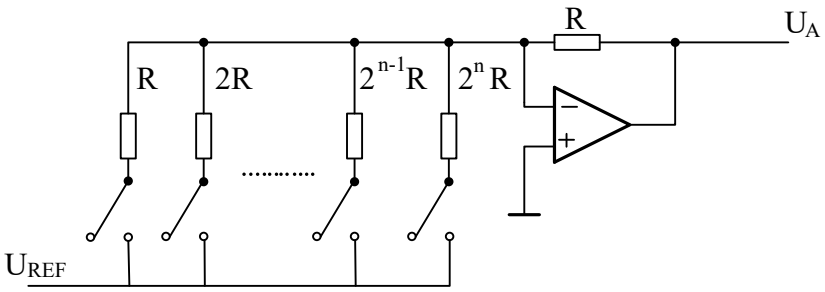
12.4. Principy převodu D/A

Metody D/A převodu jsou děleny na přímé a nepřímé. Základní principy přímého D/A převodu s elektrickým výstupem jsou založeny na sečítání binárně odstupňovaných proudů. Nepřímé metody jsou založeny na řízení impulzně šířkového modulátoru binárním číslem. Výsledné napětí nebo proud je získáno filtrací jako střední hodnota výstupního impulzně-šířkově modulovaného signálu.

Binárně odstupňované proudy lze získat buď pomocí binárně odstupňovaných (váhových) rezistorů nebo pomocí rezistorové sítě označované jako R/2R.

12.4.1. D/A převodník s váhovými rezistory

Varianta D/A převodníku s váhovými rezistory je na na obrázku 12. 19.



Obr. 12.19. Převodník s váhovými rezistory

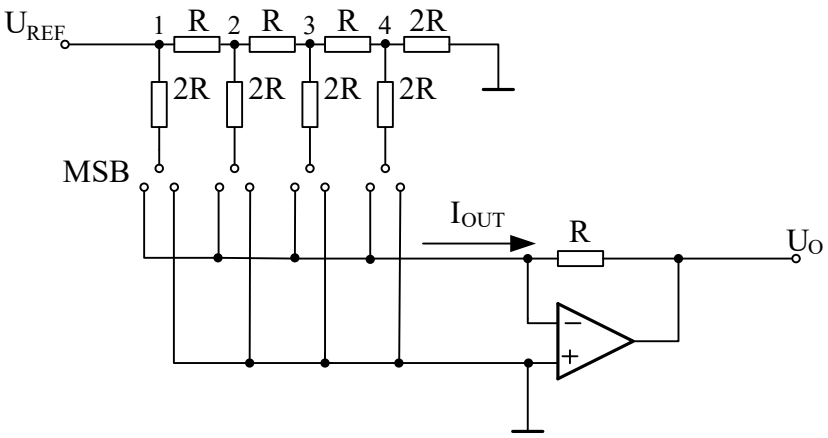
Princip je velmi jednoduchý. Použitelný je však jen pro malý počet bitů. Například pro dvanáctibitový převodník by rozpětí hodnot rezistorů bylo od řádu jednotek kΩ do řádu

desítek MΩ. To nelze monolitickou technologií splnit s dostatečnou přesností. Proto se tento princip používá jen u málo náročných aplikací - např. primitivní napěťová syntéza realizovaná přímo na paralelním portu mikropočítače.

12.4.2. D/A převodník s rezistorovou sítí R/2R

Rezistorovou síť R/2R lze zapojit buď s proudovým nebo s napěťovým výstupem.

Varianta s **proudovým výstupem** pro čtyřbitový převodník je na obrázku 12.20.

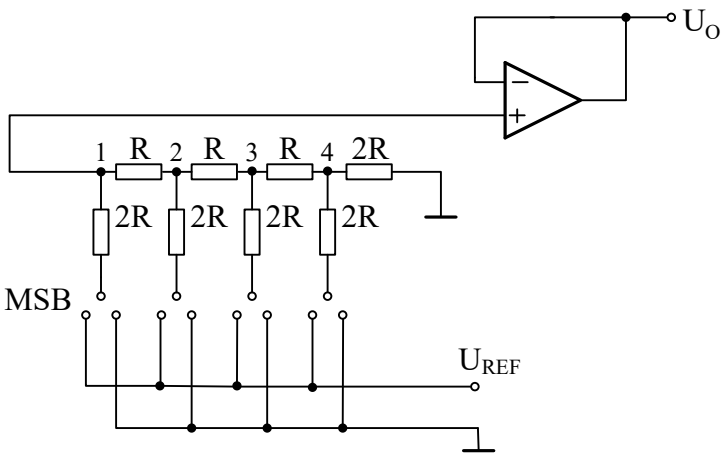


Obr. 12.20. Převodník D/A s rezistorovou sítí R/2R s proudovým výstupem

Proudový výstup společný všem přepínačům musí být na nulovém potenciálu - např. na potenciálu virtuální nuly operačního zesilovače. Proudové spínače jsou ovládány jednotlivými bity převáděného slova. Vysoká úroveň (log. 1) přepíná spínač do společného proudového výstupu s nulovým potenciálem, nízká úroveň (log 0) přepíná spínač do potenciálu země. Proud přitékající do uzlu 1 ze zdroje referenčního napětí U_R se dělí na dvě stejně velké části o velikosti U_R / (2·R). V každém dalším uzlu se opět přitékající proud dělí na poloviny. Do přepínače pod uzlem 2 pak teče čtvrtina referenčního proudu, pod uzlem 3 osmina referenčního proudu, pod uzlem 4

šestnáctina referenčního proudu. Jsou-li všechny přepínače přepnuty do společného proudového výstupu (maximální hodnota číslicového vstupu), je celkový výstupní proud $I_{out} = \frac{U_R}{R}\left(\frac{2^n-1}{2^n}\right)$.

Varianta zapojení odporové sítě R/2R s **napěťovým výstupem** je na obrázku 12.21. Zapojení je duální k předchozímu. Napěťový výstup z uzlu 1

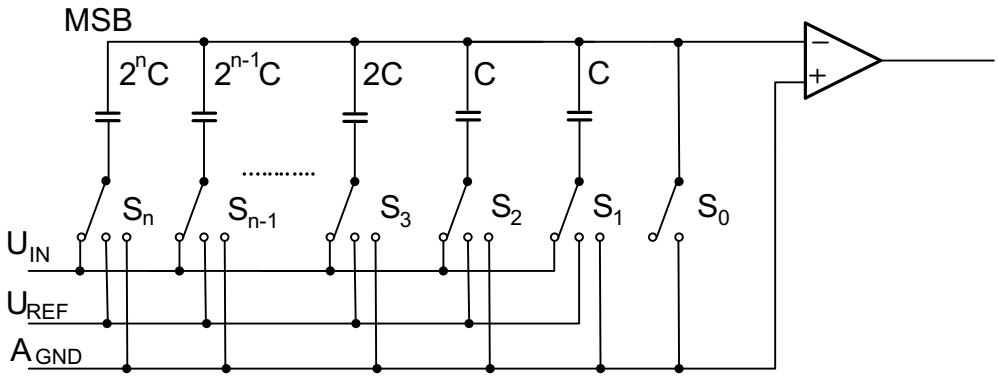


Obr. 12.21. Převodník D/A s rezistorovou sítí R/2R s napěťovým výstupem

nesmí být proudově zatížen. Pro pochopení funkce je účelné připomenout Theveninův teorém a princip superpozice. Z principu superpozice plyne, že napětí v uzlu 1 se skládá z příspěvků napětí od těch přepínačů, které jsou připojeny na referenční napětí U_R (tedy těch, které jsou ovládány log 1). Předpokládejme, že přepínač ovládaný bitem LSB (pod uzlem 4) je jako jediný připojen k referenčnímu napětí. Aplikací Theveninova teoremu lze zatížený rezistorový dělič z rezistorů 2R nahradit seriovou kombinací zdroje napětí $U_R/2$ a rezistoru s hodnotou R (tzv. ekvivalentní odpor). Theveninův teorém lze pak postupně aplikovat pro uzly 3, 2 a 1. Příspěvek napětí od bitu LSB k napětí v uzlu 1 je pak 1/16 U_R. Analogickou úvahu lze provést pro přepínač pod uzlem 3, kde je příspěvek 1/8 U_R atd.

12.4.3. D/A převodník s kapacitorovou sítí

Prevodník s kapacitorovou sítí je na obrázku 12.22. Popisovaný princip převodu (Charge Redistribution) se používá výhradně v A/D převodnících s postupnou aproximací. Během vzorkování analogového vstupu A/D převodníku (acquisition) je společný vývod kapacitorové sítě připojen k analogové zemi - spínač S1 je sepnut. Všechny přepínače na druhém vstupu kapacitorů jsou připojeny na vstupní analogový signál U_{IN}. Po ukončení vzorkování se společný vývod kapacitorové sítě odpojí od analogové země a všechny přepínače se odpojí od vstupního napětí U_{IN}. Jednotlivé kapacitory obsahují náboje o velikosti úměrné jejich kapacitě a velikosti napětí U_{IN}. V dalším kroku je váhový přepínač odpovídající kapacitoru s největší kapacitou a tedy bitu s nejvyšší vahou (MSB) přepnut na referenční napětí U_{REF}. Všechny ostatní přepínače jsou ve stejném okamžiku přepnuty na potenciál analogové země. Bylo-li vstupní napětí U_{IN} větší než polovina referenčního napětí U_{REF}, bude společný vývod kapacitorové sítě na záporném potenciálu vzhledem k analogové zemi. Komparátor bude mít na svém výstupu nízkou úroveň (log. 0) a nejvyšší bit MSB bude nastaven do vysoké úrovně. Bylo-li naopak vstupní napětí U_{IN} menší než polovina referenčního napětí U_{REF}, bude společný vývod kapacitorové sítě na kladném potenciálu vzhledem k analogové zemi. Komparátor bude mít na svém výstupu vysokou úroveň (log. 1) a nejvyšší bit MSB bude nastaven do nízké úrovně. Navíc se od celkového náboje obsaženého v síti kapacitorů odečítá náboj největšího kapacitoru. Následně je přepínač odpovídající bitu s vahou o jednu nižší přepnut z potenciálu analogové země na referenční napětí U_{REF} a stejným způsobem jak bylo popsáno je nastaven další bit. Celý postup se opakuje až k bitu LSB.



Obr. 12.22. Převodník D/A s kapacitorovou sítí

V praxi je situace poněkud složitější než jak uvádí zjednodušený popis. Rozsah hodnot váhových kapacitorů je pro 14-bitový převodník nerealizovatelný s odpovídající přesností. Proto se pole kapacitorů dělí na dvě části – dílčí pole označované jako pole MSB a dílčí pole LSB. V poli MSB jsou kapacitory nastavovány (trimovány) při výrobě. Celá součástka navíc obsahuje sadu pomocných převodníků D/A (v podstatě shodných s již popsanými), které jsou kapacitně vázány na společný vývod dílčí kapacitorové sítě MSB a korigují chyby kapacitorů spojených s bity vyšších řádů. Velikost korekčního náboje se pro každý korigovaný bit určuje při kalibraci. Kalibrace se spouští buď automaticky po zapnutí převodníku nebo kdykoliv mezi převody. Výsledek kalibrace, tj. binární hodnoty vstupů korekčních převodníků jsou uloženy ve vnitřních registrech A/D převodníku.